

(57)特許庁の特許(公)第1111

特許公報

(特許)第1111号(特許)第1111号

特許第1111号

(57)特許(公)第1111号(特許)第1111号

(57)特許(公)第1111号

特許第1111号

特許第1111号

特許第1111号

特許第1111号

特許第1111号

特許第1111号

特許第1111号

審査請求 本請求 請求項の数1(全4頁)

(21)出願番号

特願平4-105093

(22)出願日

平成4年(1992)3月31日

(71)出願人 000001487

クラリオン株式会社

東京都文京区自由5丁目13番2号

(72)発明者 藤沢 伸行

東京都文京区自由5丁目13番2号 クラリオン株式会社内

(72)発明者 田中 孝志

東京都文京区自由5丁目13番2号 クラリオン株式会社内

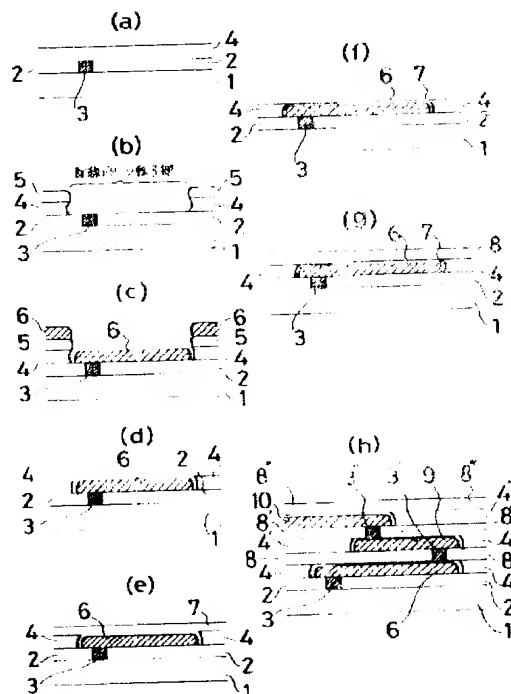
(74)代理人 片理士 永田 武一郎

(54)【発明の名称】 多層配線の形成方法

(57)【要約】

【目的】 微細化に適した平坦性の良好な多層配線構造を得ることである。

【構成】 層間絶縁膜4の所定の位置に接続孔を形成し、この接続孔に、例えばWアーク法等を用いて配線金属柱5を形成した後、これらの上にP（プラズマ）-SiN絶縁膜6を形成する。次に、リフトを用いた通常のフォトリソ工程によって、P-SiN絶縁膜6に、ネガの配線パターン8を形成する。次に、リフトオフ法を用いて、金属配線6をSiN膜のネガの配線パターン内に形成し、SOGもしくはポリイミド等を塗布してパターン内のSiN部と金属配線6の隙間を埋める。次に、P-SiN膜上のSOGもしくはポリイミド等をエッチバックして除去し、更にこの上にまた、層間絶縁膜8を形成する。上記の工程を繰返し行なって、多層の配線構造を形成する。



【特許請求の範囲】

【請求項1】 基板上方に形成された第1の絶縁膜に接続孔を形成し、この接続孔に配線金属層を形成した後に、P-SiN膜を形成する第1の工程と、

上記P-SiN膜に配線パターンを形成し、この配線パターン内に金属配線を形成し、続いて上記配線パターン内の隙間を埋める、これらの上に第2の絶縁膜を形成する第2の工程と、

上記第2の絶縁膜に接続孔を形成し、この接続孔に配線金属層を形成した後、第2のP-SiN膜を形成する第3の工程と、

上記第3のP-SiN膜に配線パターンを形成し、この配線パターン内に金属配線を形成し、続いて上記配線パターン内の隙間を埋める第4の工程と、

を特徴とする多層配線の形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はSiN膜を用いたリフトオフ法と、エッチバック法の組み合わせにより平坦な表面を持つ多層配線の形成方法に関する。

【0002】

【従来の技術】 従来、多層配線構造の半導体装置は、例えば、図1(a)のようにして製造されている。まず、図2(a)に示すように、半導体基板11上に所定の膜厚の熱酸化膜あるいは、P-SiG膜22を形成する。次いで、所定の位置に接続孔を形成し、Wフラク法等によりこの接続孔に形成されたSiO₂膜26を介して基板とのコンタクトを取った後、例えば厚さ0.8μmのAl合金からなる所定パターンの第1層配線23を、フォトリソ工程を用いて形成する。次いで、この第1層配線を覆うようにして、厚さ約0.8μmのP-SiG膜24を形成する。次いで、このP-SiG膜上にSiO₂を塗布し、ベーキングして厚さ約0.8μmのSiO₂膜25を得る。

【0003】 次に、図1(c)に示すようにSiO₂膜25にエッチバック処理を行ない、P-SiG膜24の表面を平坦化する。

【0004】 次に図1(c)に示すように、平坦化されたP-SiG膜24上に厚さ約0.3μmのP-SiG膜27を形成する。次いで、P-SiG膜24、27の所定領域に接続孔を形成し、Wフラク法等によりこの接続孔に形成したSiO₂膜26を介して第1層配線23とコンタクトを取り、次いで、Al等からなる厚さ約1.0μmの第2層配線28をその上に形成し、更にその上層P-SiG膜29を形成して、多層配線構造の半導体装置を得る（Wフラク法とはピアホールやコンタクトホール中にW（タングステン）等をCVD法等により選択成長させることによりホール内を埋め込んでしまい、それによって上層の配線を接続する方法で、カバレッジがよくなる）。

【0005】

【発明が解決しようとする課題】 しかし、このようにし

ては、配線が形成した場合、エッチバック処理が入らなければ、配線パターンが平坦ではなくなる。また、エッチバック処理が平坦性を若干失うことになる。また、配線が形成する中におけるフォトリソ工程の際に、膜厚が厚いところと薄いところがあり、微細パターンが形成されにくいという問題がある。また、同じ位置に配線が形成（付着）を繰り返す（図1(c)、(d)）に示すように上部の配線層が、エッチバックの際に微細化し、カバレッジが悪くなり、エレクトロニクスデバイス等の信頼性の面で問題がある。

【0006】 本発明の目的は、微細化に耐え得る平坦性のよい多層配線の形成方法を提供することにある。

【0007】

【課題を解決するための手段】 上記目的を達成するため、本発明による多層配線の形成方法は、基板上方に形成された第1の絶縁膜に接続孔を形成し、この接続孔に配線金属層を形成した後、P-SiN膜を形成する第1の工程と、上記P-SiN膜に配線パターンを形成し、この配線パターン内に金属配線を形成し、続いて上記配線パターン内の隙間を埋め、これらの上に第2の絶縁膜を形成する第2の工程と、上記第2の絶縁膜に接続孔を形成し、この接続孔に配線金属層を形成した後、第2のP-SiN膜を形成する第3の工程と、上記第3のP-SiN膜に配線パターンを形成し、この配線パターン内に金属配線を形成し、続いて上記配線パターン内の隙間を埋める第4の工程と、を特徴とする。

【0008】

【作用】 SiN膜を用いたリフトオフ法と、エッチバック法との組み合わせにより平坦性の良い多層配線を形成しているため、配線を何層でも自由に交差させることができる。

【0009】

【実施例】 以下、本発明の実施例について図面を参照して説明する。

【0010】 まず、図1(a)に示すように半導体基板11上に所定の膜厚の熱酸化膜あるいは、P-SiG膜等の絶縁膜2を形成する。次いで、基板とのコンタクトを取るために、所定の位置に接続孔を形成し、Wフラク法を用いて配線金属層2を埋め込む。次いで、その上にP-SiN絶縁膜4を約1.0μm形成する。

【0011】 次に、図1(b)に示すように、P-SiN絶縁膜4上に、フォトリソ工程によりネガの配線パターンを形成する。この際、P-LE (Reactive Ion Etch) により、P-SiN絶縁膜4に、逆テーパの形状を持つネガの配線パターンを転写する。図1(b)は、例えば、平行平板電極型の装置を使用し、エッチングガスはO₂+CF₄ (O₂: 22、2%)を用い、ガス圧は10Pa、RFパワー500Wとした。

【0012】 その上に、図1(c)に示すように、例えば厚さ0.8μmのAl合金膜6を蒸着する。次に、図1(d)に示すように、レジスト剥離液により、レジス

20

30

40

50

に膜厚、形状の異なる配線層を形成する(ウエットエッチ法)により、平坦化膜からなる所定パターンの第1層配線6を形成する。

【0013】次に、図1(d)に示すように、SOG膜7(スピンコート膜)を形成して、パターンの内側の第1層配線6の端部を埋め、所定のウエッジを形成して、SOG膜7を形成する。

【0014】次に、図1(e)に示すようにSOG膜7をRIE等を用いて單方形のウエッジ(エッチバック)で、PSiN膜4の表面を露出させる。

【0015】次に、図1(f)に示すように、この上に厚さ約0.8 μ mのPSG膜8を形成する。

【0016】次いで、図1(h)に示すように、PSG膜8の所定領域に移植孔を形成し、Wプラグ法により、所定の第1層配線6とコンタクトを取る。その後、Alからなる第2層配線9を上記の工程同様に形成する。後は上記の工程を繰り返すことにより、プラズマ-SiN膜4'、4"、配線金属柱3'、3"、第3の配線層10、PSG膜8'、8"等からなる多層配線構造の半導体装置を得る。

【0017】

【発明の効果】以上説明したように本発明によれば、各配線層の平坦化が可能なので、配線を何層でも自由に交差させることができ、配線設計の自由度が高くなる。

本発明は、リソグラフィ法を使用しているので、微細加工に際いて、集積度を上げることが出来る。また、RIE等のドライエッチ(Dry Etch)もしくはウェットエッチ(Wet Etch)でパターンを形成するのにも目的物を金属材料が使用可能である。更に、配線層のSOG膜が覆っているため、配線層にかかるストレスを緩和させ、ストレス・マイグレーションを抑制できるので、信頼性の面で有利である。

【図面の簡単な説明】

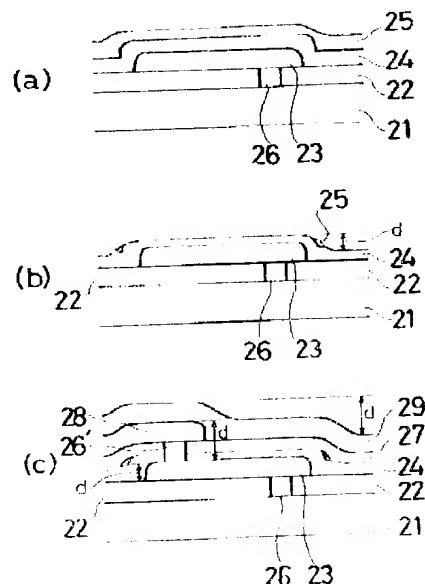
10 図1(a)～(f)は、本発明の多層配線の形成方法の1実施例を工程順に示す説明図である。

【図2】(a)～(f)は、従来の多層配線の形成方法を工程順に示す説明図である。

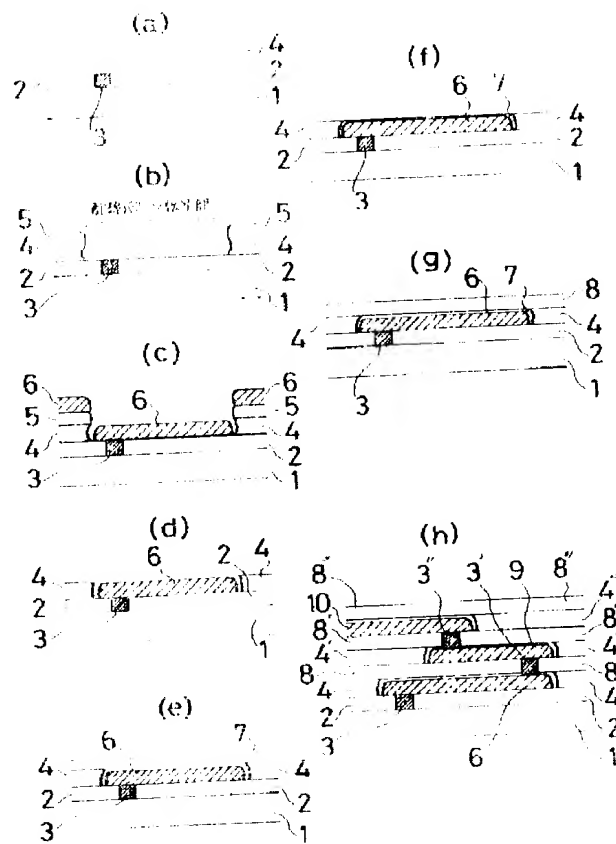
【符号の説明】

- 1 半導体基板
- 2 熱酸化膜あるいはPSG膜
- 3、3'、3" Wプラグ
- 4、4'、4" プラズマ-SiN膜
- 5 フォトリソスト
- 6 第1層配線
- 7 SOG膜
- 8、8'、8" PSG膜
- 9 第2層配線
- 10 第3層配線

【図2】



【図1】



【手続補正書】

【提出日】平成5年10月20日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図面の簡単な説明

【補正方法】変更

【補正内容】

【図面の簡単な説明】

【図1】(a)～(h)は、本発明の多層配線の形成方法の一実施例を工程順に示す説明図である。

【図2】(a)～(c)は、従来の多層配線の形成方法を工程順に示す説明図である。

【符号の説明】

- 1 半導体基板
- 2 熱酸化膜あるいはPSG膜
- 3, 3', 3'' Wプラグ
- 4, 4', 4'' プラズマ SiN膜
- 5 フォトリソグ
- 6 第1層配線
- 7 SOG膜
- 8, 8', 8'' PSG膜
- 9 第2層配線
- 10 第3層配線